

28

10

HKR125018

HR905_011487

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭64-29951

⑬ Int. Cl.⁴
G 06 F 12/00

⑭ 特許庁
303

⑮ 庁内整理番号
P-8841-5B

⑯ 公開 昭和64年(1989)1月31日

審査請求 未請求 発明の数 1 (全5頁)

⑰ 発明の名称 記憶システム

⑱ 特 願 昭62-185253

⑲ 出 願 昭62(1987)7月24日

⑳ 発 明 者 熊 谷 多 加 史 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁護士 鈴木 誠

明 細 書

1. 発明の名称

記憶システム

2. 特許請求の範囲

(1) 主記憶装置と該主記憶装置のアクセス制御を行う記憶制御装置とからなる記憶システムにおいて、前記主記憶装置と記憶制御装置に共通のクロック線を設けると共に、前記主記憶装置は、該主記憶装置内のメモリ素子の動作特性を示す情報を格納する手段と、前記クロック線を使用してメモリ素子の制御信号、読書きデータのセット信号等を生成する手段と、これらの信号を前記情報に基づいて可変とする手段を備えていることを特徴とする記憶システム。

3. 発明の詳細な説明

(発明上の利用分野)

本発明は主記憶装置とそのアクセス制御を行う記憶制御装置よりなる記憶システムに係り、特に、高速アクセス制御を容易にし、しかも処理装置やメモリ素子の変動に対して柔軟性を与えるのに好

適な記憶システムに関する。

(従来の技術)

従来の電子計算機においては、例えば特開昭57-101857号公報の記載のように、主記憶装置は、該主記憶装置(以下MSと略す)を制御する記憶制御装置(以下SCUと略す)あるいは該SCUより命令やデータを受取って実行する命令プロセッサ(以下IPと略す)で使用するクロックに対し、独立のクロックを保持していた。これは、MSのクロックは、MSで使用するRAM等の記憶素子の動作仕様にによって決定されることによる。

SCUとMS間のインタフェースの制御では、SCUがMSに対して起動信号とアクセスの制御を示した信号を送出し、MSでの処理が終了すると、MSはSCUに対して完了報告を行っている。他には、SCUがMSの処理の時間管理を行う方法がある。これは、SCUがMSに対し起動信号を送出した後、アクセスの制御により、時間経過をSCUでカウントし、一定時間が経過すると、

HKR125019

HR905_011488

SCUからMSに対して、データ送出等の指示をする信号を送出して、管理する方法である。

一方、SCU、IPの処理速度、つまりマシンサイクルを可変にしたり、あるいは動作仕様の異なるMSを接続したりすることがある。この時、上記、SCUがMSを管理する方法を成る場合、時間指定情報をSCU内に保持し、SCUとMSのインタフェースを可変として対策する方法等が考えられている。

〔発明が解決しようとする問題点〕

最近、速給してデータの読出し、書き込みを高速に行うことが可能なメモリ素子が開発されている（例えば、ニブルモードとか高速ページモード）。また、前項で使用されるデバイス技術の進歩により、より高速にMSをアクセスする技術が開発されている。しかしながら、上記従来技術のように、SCUとMSにおいて別々のクロックを働いている場合、上記高速メモリ素子を使用して高速にアクセスしようとしても、SCUとMSが非同期のため、制御が困難であるという問題があった。

・3・

クルビットで付うことが可能となり、書き込みの場合は、SCU内のラッチからMSのラッチヘデータを毎サイクルビットで送出し、これをメモリ素子へ書き込むことが可能となる。さらに、上記信号を種々の位相、サイクル数で送出できるようにすることにより、マシンサイクル、あるいはメモリ素子の動作仕様に適合した信号を逐次で、使用するメモリ素子に柔軟性を与えることが可能となる。

〔実施例〕

以下、本発明の一実施例について図面により説明する。

第1図は本発明の一実施例のブロック図を示す。1は命令プロセッサ（IP）、2は入出力プロセッサ（IOP）、3はSCU、4はMS、5はIP1、IOP2、SCU3、MS4へタイミング信号を送出するクロック部である。

10はIP1からのリクエストを受けるリクエストスタック（IPRQ）、11はIOP2からのリクエストを受けるリクエストスタック（IOP

本発明の目的は、高速にメモリをアクセスすることが可能で、さらに、マシンサイクルの変動、あるいは動作仕様の異なるメモリ素子の接続に対して柔軟性がある記憶システムを提供することにある。

〔問題点を解決するための手段〕

上記目的は、SCUとMSのクロックを共通化し、MSのメモリ素子を制御する信号、あるいはデータをセットする信号等を上記クロックを使用して生成するとともに、上記各信号をマシンサイクルあるいはメモリ素子の動作仕様を示す情報により可変とする手段をMS内に設けることにより達成される。

〔作用〕

MS内のメモリ素子の制御信号、データのセット信号等を、SCUと同じクロックを使用して、生成することにより、SCUとの同期化回路が不要になる。従って、読出しの場合は、メモリ素子からデータが出力され、これをMS内ラッチにセットし、SCU内ラッチへ送出する動作を毎サイ

・4・

PRQ）、12はIP1からのストアデータを受取るデータラッチ（IPSD）、13はIOPからのストアデータを受取るデータラッチ（IOPSD）である。14はMS4から読出したデータをラッチし、IP1あるいはIOP2へ送出するデータラッチ（SFD）である。15はMS4へストアデータを送出するためのストアデータラッチ（SSD）、16はMS4へSCU3のリクエストを送出するためのラッチ（SRQ）である。50はSCU3を制御するSCUコントロールユニット（SCR）である。

20はSRQ16から送られたリクエストをMS4で受取るラッチ（MRQ）、21はSSD15から送られたストアデータをMS4で受取るストアデータラッチ21（MSD）である。22～25は接続するメモリ素子の集合体に各々書入れたストアデータラッチ（SDR0～3）、26～29は同じくフェッチデータラッチ（FDR0～3）である。30はSCU4へフェッチデータを送出するためのラッチ（MFD）である。40

・5・

・6・

43は、SDRO-3(22-24)、FDR0-3(26-29)の各々のラッチと同じビット幅を持つようにメモリ素子を配列した、メモリ素子の集合体(RAM0-3)である。51はMSをコントロールするMSコントロールユニット(MCR)である。60-63はSDRO-3(22-24)をそれぞれセットするセット信号、64はRAM0-3を制御する信号、65はFDR0-3(26-29)をセットする信号、66はFDR0-3(26-29)のどのラッチのデータを選択するかを選択信号である。

SCU3とMS4は同じクロック脈5を使用しており、MS4内の各ラッチをセットする信号60-63及び65、RAM0-3を制御する信号64、またMS4内の制御信号66は、全てこのクロック脈5を使用して生成される。従って、SCU3とMS4の間で同期化を行うための回路は一切必要ない。

次に、第1図の動作を第2図のタイムチャート参照して説明する。

-7-

RS1によって、リクエストに応じた制御信号64を生成する。第2図の例では、RAS200、CAS201が図の通り生成される。RAM0-3(40-43)は同時にアクセスされ、データが出力されると(202)、セット信号65により、FDR0-3(26-29)に、同時に読出しデータをセットする(203-206)。次にセレクト信号66により、MFD30へ1マシンサイクルピッチで、データを転送する(207)。FDR0-3(26-29)の全てのラッチ内のデータがMFD30へ転送されると、CAS信号201により、連続したアドレスのデータが読出され、再びFDR0-3(26-29)へセットする。このようにして連続したデータを1マシンサイクルピッチで、高速に読出すことが可能である。MFD30のデータは、同じく1マシンサイクルピッチでSCU3のSFD14Fに転送される(208)。

第3図は第1図のMCR51内の一部の詳細構成を示す。300は2ビットのカウンタ、301

第2図のタイムチャートは、読出し動作の場合を示している。第2図で、200、201は第1図の制御信号64に含まれるもので、RAS、CASを示している。本タイムチャートは、一般に知られているニブルモードの動作を示すものである。つまり、RAS200、CAS201により、一組メモリヘッドアドレスが与えられると、その後、CAS201のトグルだけで、連続したアドレスのデータが高速にアクセスできるものである。202は第1図のRAM0-3(40-43)のデータ出力、203-206は第1図のFDR0-3(26-29)の状態を示している。同じく207は第1図のMFD30、208はSFD14の状態を示している。

SCU3はIP1、IOP2からのリクエストをIPRQ10、IOPRQ11にスタックする。SCR50でこれらのリクエストの優先順位をとり、一つのリクエストを選択してSRQ16にセットし、MS4側へ送る。MS4は、SCU3よりのリクエストをMRQ20で受け取ると、MC

-8-

はデコード、302はT0のタイミングで信号を発生するフリップフロップ(FF)。同じく303-305は各々T1-T3のタイミングのFF。306-308はサイクル数を示す情報を格納するラッチ(CQ-C3)。310-313はクロックの位相を示す情報を格納するラッチ(T0-T3)。314、315はセレクト、316はANDゲート、317はNOTゲート、318-319はセットリセットタイプ(SR)のFFである。

ここでは、第2図のCAS201の信号を生成するものとする。SRFF318、319にCASSSET信号が入力されると、SRFF318、319が"1"にセットされる。CASSSET信号は、同時にカウンタ300をリセットする。SRFF318が"1"にセットされると、この出力は、ANDゲート316に入力され、次のT0タイミングでカウンタ300のT入力に入力され、+1カウントアップされる。同時に、SRFF319の出力は、デコード301のイネーブル入力

-9-

-327-

-10-

に入力される。これにより、カウンタ300の出力は、デコーダ301でデコードされ、C0~C3(306~309)の示す情報により、セレクトタ314でセレクトされる。例えばC0="1"であれば、0サイクル目にセレクトタ314から"1"が出力され、C1="1"であれば、1サイクルのみにセレクトタ314から"1"が出力される。セレクトタ314の出力は、T0位相のFF302に入力されると同時に、SRFF318をリセットする。これにより、カウンタ300は、カウントアップを止める。T0~T3(310~313)の示す情報により、どの位相で出力するかをセレクトタ315でセレクトする。この信号をNOTゲート317で反転にする。これは一般にRAS、CASは、負論理でメモリ素子に与えられるものである。CASRESET信号がSRFF319に入力されると、SRFF319の出力は"0"となり、デコーダ301のイネーブル入力は"0"となり、デコーダ301の出力は全て"0"となるため、CASの出力も"0"となる。

このようにして、信号を任意のサイクル数、任意の位相で、出力することができる。

第4図はマシンサイクルが異なるSCUに対し動作仕様のメモリ素子を接続する時、第3図で示す回路構成を利用してCAS信号を生成する場合のタイムチャートを示したものである。第4図で400、402はRAS、401、403はCASを示しており、第4図(b)のマシンサイクルは、第4図(a)の2倍としている。一般にRASからCASのディレイタイムTRCDは、メモリの動作仕様として定められており、従ってマシンサイクルが変動しても、TRCは同じ値にしなければならない。第4図(a)では、CAS信号401を、第3図のC3(309)="1"、T0310="1"にすることにより、図の通りのタイムチャートとなり、第4図(b)では、CAS信号403を第3図のC1(307)="1"、T2(312)="1"と設定することにより、図の通りのタイムチャートが得られる。

(発明の効果)

- 11 -

以上説明したように、本発明によれば、SCUとMSで、同じクロックを使用したことにより、SCUとMS間で同期合せが必要なくなり、高速なメモリ素子を使用した時でも制御が簡単になり、MSを高速にアクセスすることが可能となる。また、MSにメモリ素子の制御信号等を任意のサイクル数、位相で送出できる手段を備えることにより、マシンサイクルの変動や、異なる動作仕様のメモリ素子の接続に対して柔軟性を与える効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は第1図の動作を説明するタイムチャート、第3図は第1図のMSコントローラ内で実施される回路の具体的な構成図、第4図は第3図の回路を使用して異なるマシンサイクルのメモリ素子に適合した時のタイムチャートである。

- 1…命令プロセッサ(IP)、
- 2…入出力プロセッサ(IOP)、
- 3…記憶制御装置(SCU)、

- 4…主記憶装置(MS)、
- 50…SCUコントロールユニット、
- 51…MSコントロールユニット。

代理人弁護士 鈴木



- 13 -

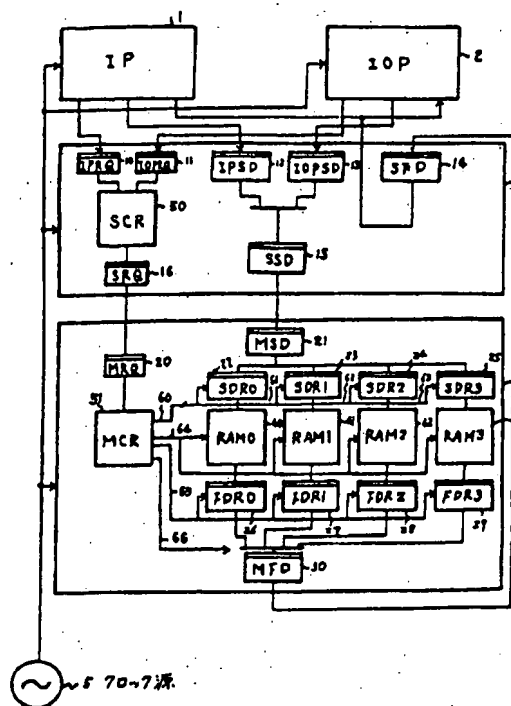
- 328 -

- 14 -

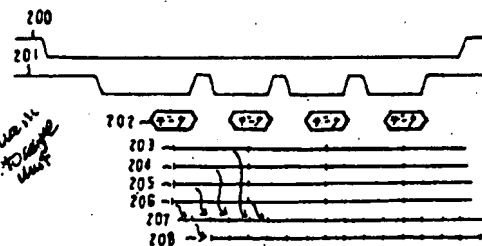
HKR125022

HR905_011491

第 1 圖

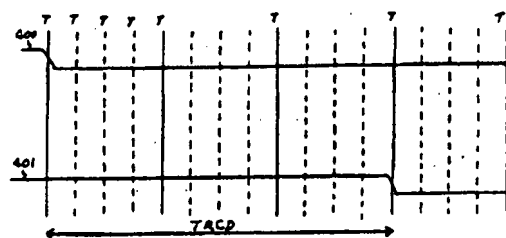


第 2 図

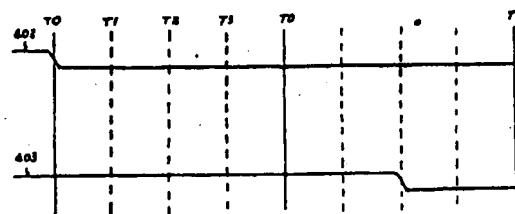


第 4 図

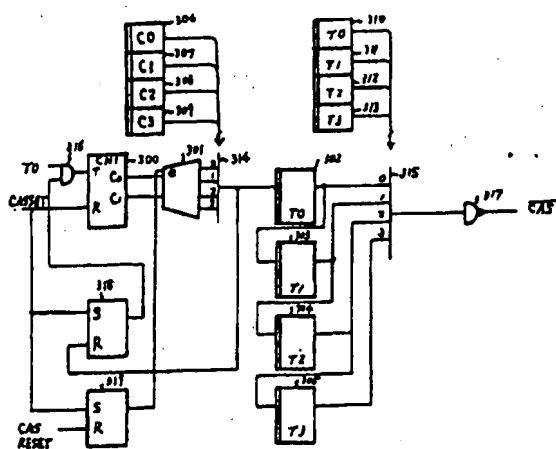
(a)



(b)



第 3 题



(19) Japanese Patent Office (JP)

(12) Official Gazette for Kokai Patent Applications (A)

(11) Japanese Patent Application Kokai Publication No. S64-29951

(51) Int. Cl. ⁴	Identification Symbol	JPO File Number
G 06 F 12/00	303	P-8841-5B

(43) Kokai Publication Date: January 31, 1989

Request for Examination: Not Submitted

Number of Inventions: 1

(Total of 5 pages in the original Japanese)

(54) Title of the Invention: Storage system

(21) Patent Application Filing Number: S62-185253

(22) Patent Application Filing Date: July 24, 1987

(72) Inventor: Takeshi Kumagai
c/o Hitachi, Ltd.

Kanagawa Plant

1 Horiyamashita, Hadano City, Kanagawa

(71) Applicant: Hitachi, Ltd.

4-6 Kanda Surugadai, Chiyoda-ku, Tokyo

(74) Agent: Makoto Suzuki, Patent Attorney

HKR125024

HR905_011493

Specification

1. Title of the Invention

Storage System

2. Claims

(1) In a storage system consisting of a main storage unit and a storage control unit that carries out the access control of said main storage unit, a storage system characterized by the fact that a clock source common to the main storage unit and the storage control unit mentioned above is provided, and, in addition, the above-mentioned main storage unit is provided with a means that stores the information that shows the operation characteristics of a memory device inside of said main storage unit, and a means that generates a memory device control signal that uses the above-mentioned clock source, a read/write data set signal, and the like, and a means that regards these signals based on the above-mentioned information as varying.

3. Detailed Description of the Invention

(Field of Industrial Application)

The present invention is related to a storage system formed from a main storage unit and a storage control unit that carries out its access control and, particularly, is related to a storage system that makes high speed access control easy and, moreover, is suitable for affording flexibility with respect to the fluctuations of a processing unit and memory device.

(Prior Art)

In former computers, for example, as described in Kokai No. S57-101957, the main storage unit maintained independent clocks, with respect to the clocks used by the storage control unit (hereafter referred to as the SCU) that controls said main storage unit (hereafter referred to as the MS) or the instruction processor (hereafter referred to as the IP) that receives data and instructions from said SCU and executes. As for this, the MS clock is determined by the operation specifications of the storage device of the RAM, and the like, used by the MS.

In the control of the interface between the SCU and the MS, the SCU sends to the MS the activation signal and the signal that indicates the type of access, and when the processing by the MS is completed, the MS carries out a completion report with respect to the SCU. In addition to this, the SCU has a method for carrying out the time management of the processing of the MS. This is a control method that, after the SCU has sent an activation signal to the MS, counts the passage of time by the SCU, based on the type of access, and, when a set time has elapsed, sends from the SCU to the MS a signal that directs data sending, and the like.

On the other hand, sometimes the processing speed, that is, the machine cycles, of the SCU and the IP is made variable, or an MS with different operation specifications is connected. At this time, the above-mentioned, when the SCU adopts a method that

controls the MS, holds in the SCU the time specification information and a method, and the like, that handles the interface of the SCU and the MS as variable can be thought of.

(Problem the Invention is to Solve)

Recently, memory devices that can carry out the reading and writing of linked data at a high speed are being developed (for example, the nibble mode and the high-speed page mode). Furthermore, due to the advance of device technology used by logic, technology that accesses the MS at a still higher speed is desirable. However, as in the above-mentioned prior art, when separate clocks were provided in the SCU and the MS, there was the problem that even when access at a high speed is attempted using the above-mentioned high-speed memory device, because the SCU and the MS are unsynchronized, control is difficult.

The purpose of the present invention is to offer a storage system that makes possible accessing memory at a high speed, and, moreover, that has flexibility with respect to the fluctuation of machine cycles, or the connection of memory devices with different operation specifications.

(Means for Solving the Problem)

The above-mentioned purpose is achieved due to the fact that the clocks of the SCU and the MS are made to be in common, and the above-mentioned clocks are used and generate the signal that controls the memory device of the MS, or the signal that sets the data, and the like, and, in addition, a means that makes each of the above-mentioned signals variable by means of machine cycles or information that sets forth the operation specification of the memory device is provided within the MS.

(Operation)

A circuit that synchronizes with the SCU becomes unnecessary due to the fact that the same clock as that of the SCU is used and generates the control signal of the memory device within the MS and the signal that sets the data, and the like. Consequently, in the case of reading, data is sent from the memory device, and this is set to a latch within the MS, and carrying out with every cycle pitch the operation that sends to a latch within the SCU becomes possible, and in the case of writing, from a latch within the SCU data is sent with every cycle pitch to a latch of the MS, and writing this to the memory device becomes possible. Furthermore, due to the fact of being made so that the above-mentioned signals can be sent in various phases and cycles, a signal adjusted to the machine cycles or the operation specifications of a memory device can be selected, and affording flexibility to the memory device used becomes possible.

(Embodiment)

Below one embodiment of the present invention is explained based on the drawings.

FIG. 1 shows a block diagram of one embodiment of the present invention. 1 is the instruction processor (IP). 2 is the input/output processor (IOP). 3 is the SCU. 4 is the MS. 5 is the clock source that sends timing signals to the IP 1, the IOP 2, the SCU 3 and the MS 4.

10 is the request stack (IPRQ) that receives a request from the IP 1. 11 is the request stack (IOPRQ) that receives a request from the IOP 2. 12 is the data latch (IPSD) that receives storage data from the IP 1. 13 is the data latch (IOPSD) that receives storage data from the IOP. 14 is the data latch (SFD) that latches the data read from the MS 4 and sends to the IP 1 or the IOP 2. 15 is the storage data latch (SSD) for sending storage data to the MS 4. 16 is the latch (SRQ) for sending the requests of the SCU 3 to the MS 4. 50 is the SCU control unit (SCR) that controls the SCU 3.

20 is the latch (MRQ) that receives at the MS 4 the requests sent from the SRQ 16. 21 is the storage data latch (MSD) that receives at the MS 4 the storage data sent from the SSD 15. 22 ~ 25 are the storage data latches (SDR 0 ~ 3) respectively provided to the array of memory devices described later. 26 ~ 29, similarly, are the fetch data latches (FDR 0 ~ 3). 30 is the latch (MFD) for sending fetch data to the SCU 4. 40 ~ 43 is an array (RAM 0 ~ 3) of memory devices that has arranged the memory devices so as to have the same bit width as the respective latches of SDR 0 ~ 3 (22 ~ 24) and FDR 0 ~ 3 (26 ~ 29). 51 is the MS control unit (MCR) that controls the MS. 60 ~ 63 are the set signals that set, respectively, SDR 0 ~ 3 (22 ~ 24). 64 is the signal that controls RAM 0 ~ 3. 65 is the signal that sets FDR 0 ~ 3 (26 ~ 29). 66 is the select signal for which data to select of the latches of FDR 0 ~ 3 (26 ~ 29).

The SCU 3 and the MS 4 use the same clock source 5. Signals 60 ~ 63 as well as 65 that set each latch within the MS 4, signal 64 that controls RAM 0 ~ 3, and control signal 66 within the MS 4 all use this clock source 5 and are generated. Consequently, a circuit to carry out synchronization of the SCU 3 and the MS 4 is not necessary at all.

Next, the operation of FIG. 1 is explained with reference to the time chart of FIG. 2. The time chart of FIG. 2 shows the case of the read operation. In FIG. 2, 200 and 201 are included in the control signal 64 of FIG. 1, and show RAS, CAS. The present time chart shows the operation of the generally known nibble mode. That is, when an address is once given to memory by RAS 200 and CAS 201, after that, simply by the toggling of CAS 201, the data of consecutive addresses can be accessed at a high speed. 202 shows the data output of the RAM 0 ~ 3 (40 ~ 43) of FIG. 1. 203 ~ 206 show the state of the FDR 0 ~ 3 (26 ~ 29) of FIG. 1. Similarly, 207 shows the MFD 30 of FIG. 1, and 208 shows the state of the SFD 14.

The SCU 3 stacks requests from the IP 1 and the IOP 2 in the IPRQ 10 and the IOPRQ 11. The priorities of these requests are taken by the SCR 50, one request is selected and set in the SRQ 16, and sent to the MS 4 side. The MS 4, when a request from the SCU 3 is received by the MRQ 20, by means of the MCR 51, generates a control signal 64 in response to the request. In the example of FIG. 2, RAS 200, CAS 201 are generated as in the drawing. When the RAM 0 ~ 3 (40 ~ 43) is accessed at the same time and the data is output (202), by means of the set signal 65, data simultaneously read is set (203 ~ 206) to the FDR 0 ~ 3 (26 ~ 29). Next, data is transferred (207) by one machine cycle pitch to MFD 30 by means of the select signal 66. When all the data in the latches of FDR 0 ~ 3 (26 ~ 29) have been transferred to the MFD 30, by means of the CAS signal 2201 [sic.], the data of consecutive addresses is read, and again set to FDR 0 ~ 3 (26 ~ 29). Done in this way, reading consecutive data at a high speed by 1 machine cycle

pitch is possible. The data of the MFD 30, similarly, is transferred (208) to the SFD 14F of the SCU 3 by 1 machine cycle pitch.

FIG. 3 shows the detailed constitution of one part inside the MCR 51 of FIG. 1. 300 is a 2 bit counter. 301 is a decoder. 302 is a flip-flop (FF) that sends a signal by the timing of T 0. Similarly, 303 ~ 305 are the FF of the timing of T 1 ~ T 3, respectively. 306 ~ 309 are latches (C 0 ~ C 3) that store the information that shows the number of cycles. 310 ~ 313 are latches (T 0 ~ T 3) that store the information that shows the phase of the clock. 314, 315 are selectors. 316 is an AND gate. 317 is a NOT gate. 318 ~ 319 are FF of a set-reset type (SR).

This place is regarded as that which generates the signal of $\overline{\text{CAS}}$ 201 of FIG. 2. When the CASSET signal is input to SRFF 318 and 319, SRFF 318 and 319 are set to "1" and the CASSET signal simultaneously resets the counter 300. When SRFF 318 is set to "1", this output is input to the AND gate 316, and with the next T 0 timing, is input to the T input of counter 300, and +1 is counted up. At the same time, the output of SRFF 319 is input to the enable input of the decoder 301. By means of this, the output of the counter 300 is decoded by the decoder 301, and selected by the selector 314 based on the information shown by C 0 ~ C 3 (306 ~ 309). For example, if it is C 0 = "1", "1" is output from the selector 314 in the 0 cycle, and, if C 1 = "1", "1" is output from the selector 314 in the first cycle. The output of selector 314, at the same time as being input to the FF 302 of the T 0 phase, resets the SRFF 318. By means of this, the counter 300 stops counting up. Based on the information shown by T 0 ~ T 3 (310 ~ 313), which phase to output at is selected by the selector 315. This signal is made negative logic by the NOT gate 317. This, generally, is because $\overline{\text{RAS}}$, $\overline{\text{CAS}}$ are given to a memory device by negative logic. When the CASRESET signal is input to the SRFF 319, because the output of the SRFF 319 becomes "0", and the enable input of the decoder 301 becomes "0", and the output of the decoder 301 all becomes "0", the output of $\overline{\text{CAS}}$ also becomes "0".

Done in this way, a signal can be output at any number of cycles and any phase.

FIG. 4 shows the time chart when the $\overline{\text{CAS}}$ signal is generated using the circuit configuration shown by FIG. 3, when memory devices with the same operation specifications are connected to SCU with different machine cycles. In FIG. 4, 400 and 402 show the $\overline{\text{RAS}}$, and 401 and 403 show the $\overline{\text{CAS}}$, and the machine cycles of FIG. 4 (b) are regarded as double those of FIG. 4 (a). Generally, the delay time TRCD of the $\overline{\text{CAS}}$ from the $\overline{\text{RAS}}$ is provided as the operation specification of the memory, consequently, even if the machine cycles fluctuate, the TRC must be made the same value. In FIG. 4 (a), by making the $\overline{\text{CAS}}$ signal 401 the C 3 (309) = "1" and the T 0 310 = "1" of FIG. 3, the time chart as in the drawing is formed, and in FIG. 4 (b), by setting the $\overline{\text{CAS}}$ signal 403 to the C 1 (307) = "1" and the T 2 (312) = "1" of FIG. 3, a timing chart as in the drawing can be obtained.

(Effect of the Invention)

As explained above, according to the present invention, due to the fact that the same clock is used by the SCU and the MS aligning the synchronicity between of the SCU and

the MS becomes unnecessary, and control becomes simple even when a high speed memory device is used, and accessing the MS at a high speed becomes possible. Furthermore, there is the effect that, due to the fact that a means that can output to the MS a control signal, and the like, of a memory device at any number of cycles and phase, flexibility is given with respect to the fluctuations of the machine cycle and the connection of a memory device with a different operation specification.

4. Brief Description of the Drawings

FIG. 1 is a block diagram of one embodiment of the present invention. FIG. 2 is a time chart that explains the operation of FIG. 1. FIG. 3 is a diagram of a specific constitution of the circuit implemented within the MS controller of FIG. 1. FIG. 4 is a time chart of the time when the circuit of FIG. 3 is used and a memory device of different machine cycles has been adapted to.

- 1 Instruction processor (IP)
- 2 Input/Output processor (IOP)
- 3 Storage control unit (SCU)
- 4 Main storage unit (MS)
- 5 Clock source
- 50 SCU control unit
- 51 MS control unit

Agent Makoto Suzuki, Patent Attorney [scul]

FIG. 1

5 clock source

FIG. 2

202 data data data data

FIG. 3

FIG. 4